

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2001358215 (A)

Publication date: 2001-12-26

Inventor(s): ISHII ATSUSHI

Applicant(s): MITSUBISHI ELECTRIC CORP

Classification:

- **international:** **H01L23/522; H01L21/3205; H01L21/60; H01L21/768; H01L23/52; H01L23/52; H01L21/02; H01L21/70; (IPC1-7): H01L21/768; H01L21/3205; H01L21/60**

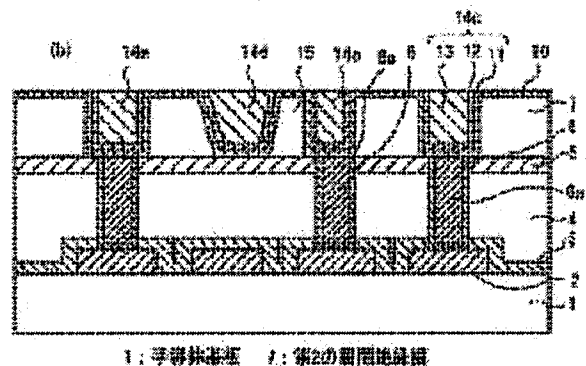
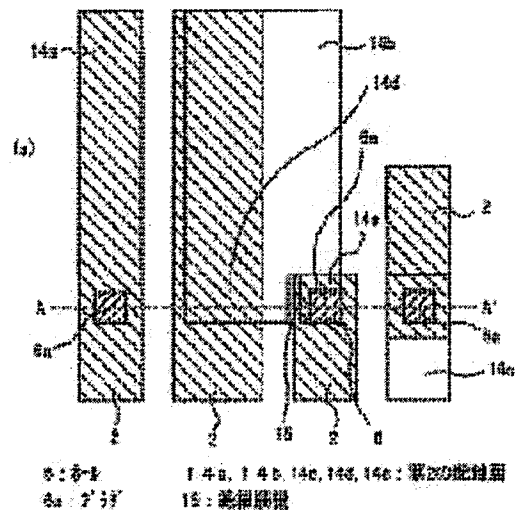
- European:

Application number: JP20000180949 20000616

Priority number(s): JP20000180949 20000616

Abstract of JP 2001358215 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device and a method for manufacturing the same capable of suppressing a CD shift even in a large wiring groove having a wiring width of $0.5\ \mu\text{m}$ or more and obtaining a good contact of the wiring with a hole in a single Damascene process. **SOLUTION:** In the formation of the wiring groove 9, an insulating film wall of a length of six diameters or more of the hole 6 is provided parallel to the wall of the groove 9 at a desired part in the groove 9, and hence a wiring width only on the hole 6 is divided to a desired size and formed.



Data supplied from the **esp@cenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-358215
(P2001-358215A)

(43) 公開日 平成13年12月26日 (2001.12.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/60	3 0 1 P 5 F 0 3 3
21/60	3 0 1	21/90	B 5 F 0 4 4
21/3205		21/88	T

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2000-180949 (P2000-180949)

(22) 出願日 平成12年6月16日 (2000.6.16)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石井 敦司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100093562

弁理士 児玉 俊英

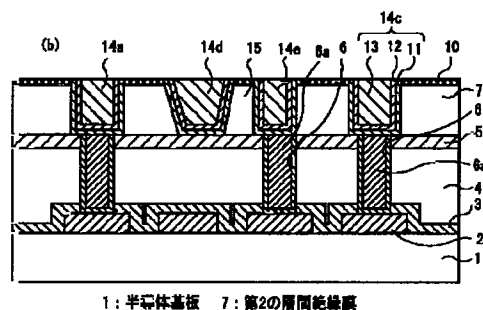
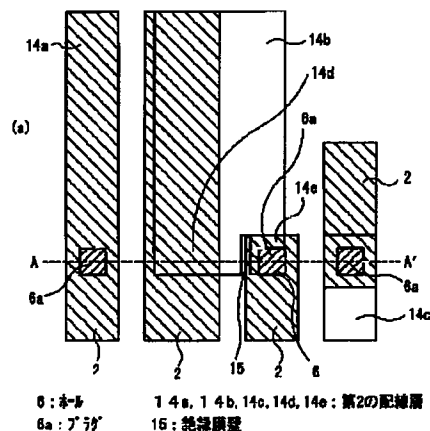
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 シングルダマシンプロセスにおいて、配線幅が $0.5\mu\text{m}$ 以上の大きな配線溝においてもCDシフトを抑制でき、配線とホールとが良好なコンタクトを得ることのできる半導体装置およびその製造方法を提供する。

【解決手段】 配線溝9形成の際に、配線溝9内の所望の部分に、配線溝9壁と平行にホール6径以上の長さの絶縁膜壁15を設けることにより、ホール6上のみ配線幅を所望の大きさに分割して形成した。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1の層間絶縁膜と、上記第1の層間絶縁膜に形成された複数のホール内に、第1の金属膜が埋込まれて成る複数のプラグと、上記各プラグ上を覆うように形成された第2の層間絶縁膜と、上記第2の層間絶縁膜の上記各プラグ上に形成された複数の配線溝内に、第2の金属膜が埋込まれて成る配線層とを備えたシングルダマシン構造を有する半導体装置において、
上記各配線溝の幅が異なる場合、上記各配線溝の内、他の配線溝の幅より大きな幅を有する配線溝は、上記ホール近傍上に絶縁膜壁を設け、上記大きな幅を有する配線溝を上記ホール近傍上にて分割したことを特徴とする半導体装置。

【請求項2】 絶縁膜壁は、その長さがホール径よりも長いことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 絶縁膜壁は、ホールを挟んで対向する位置に一对設けたことを特徴とする請求項1および2に記載の半導体装置。

【請求項4】 一对の絶縁膜壁の長さが異なることを特徴とする請求項3に記載の半導体装置。

【請求項5】 大きな幅を有する配線溝内に複数のホールを有する場合、一つの絶縁膜壁が上記複数のホール近傍上にまたがって設けられていることを特徴とする請求項1ないし4のいずれかに記載の半導体装置。

【請求項6】 大きな幅を有する配線溝の幅が $0.5\mu\text{m}$ 以上であることを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】 大きな幅を有する配線溝が、ボンディングパッド用の溝であることを特徴とする請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】 半導体基板上に第1の層間絶縁膜を形成する工程と、上記第1の層間絶縁膜に複数のホールを形成する工程と、上記ホール内に第1の金属膜を埋込んで複数のプラグを形成する工程と、上記プラグ上に第2の層間絶縁膜を形成する工程と、上記第2の層間絶縁膜上にレジストパターンを形成する工程と、上記レジストパターンをマスクとして上記第2の層間絶縁膜に反応性イオンエッチングを施し複数の配線溝を形成する工程と、上記配線溝内に第2の金属膜を埋込んで配線層を形成する工程とを備えた半導体装置の製造方法において、
上記各配線溝の幅が異なる場合、上記レジストパターンを形成する工程が、上記各配線溝の内、他の配線溝より大きな幅を有する配線溝用のパターンは、上記大きな幅を有する配線溝用のパターンとともに絶縁膜壁用のパターンを形成するようにしたことを特徴とする請求項1ないし7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置およびその製造方法に関し、特にシングルダマシン構造の配線層を有する多層配線構造に関するものである。

【0002】

【従来の技術】近年、半導体装置の微細化が進むにつれて、それぞれの製造プロセスにおいて種々の研究開発が進められている。この内、配線層の形成方法も例外ではない。配線層を形成するメタル層の加工においては、フォトリソをマスクとしてメタル層を加工したり、フォトリソをマスクとしてメタル層上に形成された絶縁膜等を加工してハードマスクとし、このハードマスクを用いてメタル層を加工するなどの工夫がなされてきた。

【0003】また、配線の信頼性、電流ストレスに起因するエレクトロマイグレーションや、配線の金属膜に接する材料の熱膨張係数の違いから生じるストレスに起因するストレスマイグレーションに対応するために、主たる導電層の材料の変更、高融点金属との積層化などの構造的改良もなされており、加工に対する技術的難易度はますます高くなる傾向にある。

【0004】そこで、近年、配線層を形成する際の加工的難易度を低くするために、絶縁膜に配線溝を形成してメタルを埋込むダマシン構造が各方面から発表され、実用化に至っている。

【0005】現在は、配線とホールとを同時に形成するデュアルダマシン構造が主流であるが、将来、デザインルールが $0.1\mu\text{m}$ 前後より小さくなると、ホール加工およびメタル埋込み技術の限界から、配線とホールとを別々に形成するシングルダマシン構造が主流となると思われる。更に、デバイスの特性にあわせてデュアルダマシン構造とシングルダマシン構造との使い分けが進むと思われる。

【0006】図15(a)(b)は従来のシングルダマシン構造を示す図であり、図15(a)は平面図、図15(b)は図15(a)のA-A'線部の断面図である。図15において、1は半導体基板、2は第1の配線層、3は第1の絶縁層、4は第1の層間絶縁膜、5はエッチングストッパー膜、6はホール、6aはホール6内に金属が埋込まれて成るプラグ、7は第2の層間絶縁膜、8はレジストパターン、9a、9b、9cは配線溝である。ここで、図示はしていないが当然のことながら半導体基板1には素子形成領域とこの素子形成領域を覆う絶縁膜領域とが含まれており、第1の配線層2はこの絶縁膜領域上に形成されている。

【0007】図15(b)に示すように、レジストパターン8をマスクとして、配線溝9a、9b、9cを形成する場合、9a、9cのような $0.2\mu\text{m}$ 程度の配線幅の配線溝の形状および寸法を精度良く加工する条件でエッチングを行う。その結果、 $1\mu\text{m}$ 程度の配線幅を有する配線溝9bでは、トップ寸法はレジストパターン8の

寸法通りであるが、半導体基板1側に近づくにつれて配線幅が狭く形成され、テーパがついた形状となる。

【0008】

【発明が解決しようとする課題】ダマシン構造の場合、半導体装置の微細化が進むと、微細配線の寸法を制御するためにエッチング時に異方性を強くする必要がある。その結果、配線溝の側壁に多量のポリマーを形成しながらエッチング加工が進むことになる。そのため、エッチング後に形成された他の配線溝の幅より大きな幅を有する配線溝にはテーパがついてしまい、配線溝の幅はトップ寸法よりもボトム寸法が狭く形成されることになる。

【0009】図16は配線幅とCDシフト量（配線溝の片側のトップ寸法とボトム寸法との差）との関係を示した図である。図16に示すように、 $0.2\mu\text{m}$ 以下の配線幅を有する配線溝を精度良く加工する場合、 $0.5\mu\text{m}$ 以上の太い配線ではCDシフト量は $0.05\mu\text{m}$ となり、 $0.1\mu\text{m}$ 程度配線溝のボトムが細く形成されることになる。

【0010】シングルダマシンプロセスの場合、配線溝とホールとを別々に形成するため、図15(b)に示すように、配線溝9bとホール6との接触面積が小さくなってしまい、抵抗が高くなって動作マージンが少なくなるだけでなく、電流密度が高くなりエレクトロマイグレーション耐性も劣化するなどの問題点があった。また、最悪の場合、接触が出来ないという問題点もあった。

【0011】これを解決するものとして、図17に示すように、配線溝9bの線幅を広げてホール6との接触面積を確保することが考えられるが、隣接する配線溝9a、9cとの分離幅が小さくなり、微細化が進むと配線同士がショートするという問題点がある。

【0012】また、図18に示すように、ホール6の位置をずらす、または配線溝9bの位置をずらすといった配線とホールとの間のマージンを大きくして配線溝9bとホール6との接触面積を確保することも考えられる。しかし、設計の自由度が減るばかりでなく、記憶素子などの同一セルを数多く並べるデバイスではチップ面積の増大となり、微細化の妨げとなるという問題点があった。

【0013】この発明は上記のような問題点を解消するためになされたもので、シングルダマシンプロセスにおいて、配線幅が特に $0.5\mu\text{m}$ 以上の大きな配線溝においてもCDシフト量を抑制でき、配線とプラグとが良好なコンタクトを得ることのできる半導体装置およびその製造方法を提供することを目的としている。

【0014】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、各配線溝の幅が異なる場合、上記各配線溝の内、他の配線溝の幅より大きな幅を有する配線溝は、上記ホール近傍上に絶縁膜壁を設け、上記大きな幅

を有する配線溝を上記ホール近傍上にて分割したものである。

【0015】この発明の請求項2に係る半導体装置は、絶縁膜壁は、その長さがホール径よりも長いものである。

【0016】この発明の請求項3に係る半導体装置は、絶縁膜壁は、ホールを挟んで対向する位置に一对設けたものである。

【0017】この発明の請求項4に係る半導体装置は、一对の絶縁膜壁の長さが異なるようにしたものである。

【0018】この発明の請求項5に係る半導体装置は、大きな幅を有する配線溝内に複数のホールを有する場合、一つの絶縁膜壁が上記複数のホール近傍上にまたがって設けられているようにしたものである。

【0019】この発明の請求項6に係る半導体装置は、配線溝の幅が $0.5\mu\text{m}$ 以上有するものである。

【0020】この発明の請求項7に係る半導体装置は、大きな幅を有する配線溝が、ボンディングパッド用の溝であるようにしたものである。

【0021】この発明の請求項8に係る半導体装置の製造方法は、各配線溝の幅が異なる場合、レジストパターンを形成する工程が、各配線溝の内、他の配線溝より大きな幅を有する配線溝用のパターンは、大きな幅を有する配線溝内のパターンとともに絶縁膜壁用のパターンを形成するようにしたものである。

【0022】

【発明の実施の形態】実施の形態1. 図1(a)(b)は実施の形態1のシングルダマシン構造を示す図であり、図1(a)は平面図、図1(b)は図1(a)のA-A'線部の断面図である。図1において、1は半導体基板、2は第1の配線層、3は第1の絶縁層、4は第1の層間絶縁膜、5はエッチングストッパー膜、6はホール、6aはホール6内に金属が埋込まれて成るプラグ、7は第2の層間絶縁膜、10は反射防止膜、11はバリアメタル、12はシード層、13は金属膜であり、14a、14b、14c、14d、14eは第2の配線層、15は絶縁膜壁である。ここで、図示はしていないが当然のことながら半導体基板1には素子形成領域とこの素子形成領域を覆う絶縁膜領域とが含まれており、第1の配線層2はこの絶縁膜領域上に形成されている。

【0023】図1に示すように、 $0.5\mu\text{m}$ 以上の大きな配線幅を有する第2の配線層14bは、ホール6の近傍上に絶縁膜壁15を形成して、ホール6近傍上のみ第2の配線層14bを14dと14eとに分割して形成する。

【0024】これは、図16に示したように、CDシフト量が配線幅にほぼ比例して、配線幅が小さいと小さく、大きいと大きくなることを利用して、ホール6近傍上のみ、配線幅を小さくして第2の配線層14eとし、CDシフト量を低減したものである。

【0025】図2～4は図1に示したシングルダマシ構造の半導体装置の製造方法を示す工程断面図である。図に従って順次説明する。まず、図2(a)に示すように、半導体基板1上に第1の配線層2を形成する。その後、全面に第1の絶縁層3を形成する。

【0026】次に、図2(b)に示すように、全面に第1の層間絶縁膜4を形成した後、CMP等を用いて平坦化する。その後、後に形成する第2の配線層14a、14b、14c、14d、14eのエッチングストッパー膜5としてのシリコン窒化膜（以下、SiNと称す）を低圧熱CVD法で形成する。尚、このエッチングストッパー膜5はSiON、SiOF、SiC、SiCF、クリスタルカーボン、アモルファスカーボンであっても良いが、ここでは、Cuに対して拡散防止膜としての機能を有するSiNを使用する。

【0027】次に、図2(c)に示すように、通常の写真製版プロセスによって形成されたレジストパターン（図示なし）をマスクとして第1の層間絶縁膜4および第1の絶縁層3を反応性異方性エッチング法によりエッチングしてホール6を形成する。その後、レジストパターンをO₂単体、もしくはH₂やCF₄を添加したガス中でプラズマ放電を行うアッシングにより除去する。また、この除去は硫酸を主成分とする薬液やアミン、フッ化アンモンを含む薬液単体でウェット除去で行っても良い。

【0028】次に、図2(d)に示すように、全面にTiN、Ta₂N、WN等のバリアメタル16を形成する。続いてタングステンを含む有機材料もしくはWF₆をソースとするCVD法でタングステン等の第1の金属膜17を全面に形成する。

【0029】次に、図2(e)に示すように、研磨あるいはSF₆、NF₃等のガスを用いた反応性エッチングによる全面エッチバック等を用いてホール6内に第1の金属膜17が埋込まれて成るプラグ6aを形成する。

【0030】次に、図3(a)に示すように、全面に酸化膜からなる第2の層間絶縁膜7を形成した後、CMP等を用いて平坦化する。この第2の層間絶縁膜7はSiON、SiOF、SiC、SiCF、クリスタルカーボン、アモルファスカーボン、有機樹脂膜等であってもよい。次に全面に反射防止膜10として有機樹脂膜、Si、O、Nの組成を調整したSiON膜等の無機膜を形成する。

【0031】次に、図3(b)に示すように、通常の写真製版プロセスを用いて、配線溝用のレジストパターン8を形成する。この時、幅の大きなレジストパターン8はホール6上においてのみ所望のパターン幅に分割して形成する。

【0032】次に、図3(c)に示すように、レジストパターン8をマスクとして反射防止膜10および第1の層間絶縁膜4を反応性イオンエッチング法により、配線

溝9a、9cを加工するのに最適なエッチング条件で、エッチングストッパー膜5までエッチングして配線溝9a、9d、9e、9cを形成する。

【0033】この時、図15(b)に示した配線溝9bは、絶縁膜壁15によってホール6上において配線溝9eと配線溝9dとに分割されている。この絶縁膜壁15の長さは近傍のホール6の径以上必要であるが、幅についてはレジストパターンを形成することができれば良く特に限定はない。

【0034】これにより、ホール6上の配線溝9eはCDシフト量は小さく、テーパがつくことなく形成できるので、ホール6と配線溝9eとの接触面積を確保することができる。

【0035】その後、レジストパターン8をO₂単体、もしくはH₂やCF₄を添加したガス中でプラズマ放電を行うアッシングにより除去する。また、この除去は硫酸を主成分とする薬液やアミン、フッ化アンモンを含む薬液単体でウェット除去で行っても良い。

【0036】次に、図4(a)に示すように、後に形成する銅の拡散防止膜であるバリアメタル11を全面に形成する。バリアメタル11はTi、TiN、Ta、Ta₂N等をスパッタ法あるいはCVD法を用いて形成する。続いてスパッタ法あるいはCVD法を用いてメッキのシード層12として銅を形成する。

【0037】その後、硫酸銅にメッキを安定的に形成するための添加物を加えた溶液中で、シード層12を電極に接触させながら浸漬させることによって、第2の金属膜13である銅を全面に形成する。第2の金属膜13はW、Al、Al合金等でも良く、形成方法についてもスパッタの後、熱でリフローさせる方法、高圧を印加して埋込む方法、CVD法等でも良い。

【0038】次に、図4(b)に示すように、研磨もしくは全面エッチバックを用いて、配線溝9内以外の第2の金属膜13、シード層12、バリアメタル11を除去してバリアメタル11、シード層12、第2の金属膜13からなる第2の配線層14a、14b、14c、14d、14eを完成させる。これによりホール6上の第2の配線層14eはテーパがつくことなく形成でき、第2の配線層14eとホール6とが良好なコンタクトをとることができる。

【0039】このように、この方法を用いると、例えば配線幅が0.5μm以下のパターンを良好に形成できるエッチング条件で、配線幅が特に0.5μm以上有する大きな配線溝を形成する場合、配線溝形成の際に、配線溝内の所望の部分に、配線溝壁と平行にホール径以上の長さの絶縁膜壁を設けることにより、ホール上のみで配線幅をホール径程度に分割でき、配線溝にテーパがつくことなく、CDシフト量を抑制することができる。よって、集積度を犠牲にせずに配線溝とホールとの接触面積を確保ことができ、良好なコンタクトを得ること

ができる。

【0040】更に、絶縁膜壁の形成のためのマスクパターンは、CADのデータを利用して配線幅とホールと配線との位置関係を計算し、諸条件を入力するだけの自動配置が可能であり、蓄積された設計に大きく手を加えることなく格段に早く、しかも正確にもれなく実現することができる。

【0041】実施の形態2. ここでは、上記実施の形態1の変形例について説明する。図5～図10は上記実施の形態1の変形例を示す平面図である。図において、6はホール、7は第2の層間絶縁膜、14は第2の配線層、15は絶縁膜壁である。

【0042】まず、図5では、絶縁膜壁15はホール6を挟んで第2の配線層14の配線溝壁と対向して形成されている例を示す。絶縁膜壁15と第2の配線層14の配線溝壁とによって、第2の配線層14はホール6近傍上で分割して形成されている。

【0043】次に、図5に示した絶縁膜壁15が孤立することなく図6に示したように第2の層間絶縁膜7と連結して形成する例を示す。

【0044】次に、図7では、ホール6を挟んで一对の絶縁膜壁15を形成した例を示す。この一对の絶縁膜壁15はホール6に対して縦方向あるいは横方向のどちらの方向に形成しても良い。また、絶縁膜壁15を一つ形成した場合に比べてCDシフト量の抑制をより効果的に行うことができる。

【0045】次に、図8、図9は、一つの配線層14中に複数のホール6を設ける場合の例を示したものである。図8に示すように、ホール6同士の間隔が広い場合には、ホール6一つずつに絶縁膜壁15を設けている。また、ホール6間隔が狭い場合には、複数のホール6に対して一つあるいは一对の絶縁膜壁15を形成する。この場合、絶縁膜壁の配置によっては一对の絶縁膜壁においても絶縁膜壁の長さが異なって形成する場合もある。

【0046】図9は、複数のホール6をまたがる長さを持った絶縁膜壁15を、複数のホール6に対して一つ形成した例を示したものである。

【0047】図10は、ホール6近傍上のみ絶縁膜壁15として第2の層間絶縁膜7に凸部を形成した例を示したものである。但し、太い配線幅の場合には、消失する配線部分の面積が大きくなり、抵抗が高くなってしまふ。したがって、これは $0.5\mu\text{m}$ 以下の細い配線幅にのみ有効な発明である。

【0048】上記いずれの場合も、上記実施の形態1と同様の効果を得ることができる。

【0049】実施の形態3. 上記実施の形態1、2ではダマシン構造の配線層について説明をしたが、ここではボンディングパッド部について説明する。図11～14は実施の形態6のボンディングパッド部を示す平面図である。図において、6はホール、15は絶縁膜壁、18

はボンディングパッドである。

【0050】まず、図11は、個々のホール6に対してホール6を挟んで一对の絶縁膜壁15をボンディングパッド18側壁に垂直に形成した例を示した平面図である。ボンディングパッド18のコーナー部の絶縁膜壁15のように、一对の絶縁膜壁15は長さが異なっているが良い。

【0051】次に、図12は、絶縁膜壁15はホール6を挟んでボンディングパッド18側壁と平行に個々のホール6に対して形成した例を示した平面図である。

【0052】次に、図13、14は、ホール6を挟んでボンディングパッド18側壁と平行に複数のホール6に対して複数のホール6を覆う長さを持った絶縁膜壁15を一個形成した例を示した平面図である。

【0053】また、図11～図14に示したボンディングパッド部の形成方法は実施の形態1に示した第2の配線層の形成方法と同様にして形成することができる。上記いずれの場合も、上記実施の形態1と同様の効果を得ることができる。

【0054】

【発明の効果】以上のようにこの発明によれば、各配線溝の幅が異なる場合、上記各配線溝の内、他の配線溝の幅より大きな幅を有する配線溝は、上記ホール近傍上に絶縁膜壁を設け、上記大きな幅を有する配線溝を上記ホール近傍上にて分割したので、ホール上のみ擬似的に配線幅を小さく形成でき、配線溝にテーパーが形成されることがなく、CDシフト量を抑制でき、集積度を犠牲にせずに配線溝とホールとの接触面積を確保することができる。プラグと配線層とが良好なコンタクトを得ることができる。

【0055】また、絶縁膜壁は、その長さがホール径よりも長いものであるようにしたので、ホール全体に対して、配線幅を分割することができ、配線溝にテーパーが形成されることがなく、CDシフト量を抑制することができる。

【0056】また、絶縁膜壁は、ホールを挟んで対向する位置に一对設けたので、ホール上のみ配線幅を分割することができ、配線溝にテーパーが形成されることがなく、CDシフト量を抑制することができる。

【0057】また、一对の絶縁膜壁の長さが異なるようにしたので、絶縁膜壁を形成する位置の自由度を向上させることができる。

【0058】また、一つの大きな幅を有する配線溝内に複数のホールを有する場合、一つの絶縁膜壁が上記複数のホール近傍上にまたがって設けられているようにしたので、ホール間隔の狭い複数のホールを有する場合にも対応することができる。

【0059】また、配線溝の幅が $0.5\mu\text{m}$ 以上であるので、多くのCDシフト量を抑制することができる。

【0060】また大きな幅を有する配線溝が、ボンディ

ングパッド用の溝であるようにしたので、ボンディングパッドにおいてホール上のみ配線幅を分割して形成でき、配線溝にテーパがつくことなく、CDシフト量を抑制することができ、集積度を犠牲にせずにボンディングパッド用の溝とホールとの接触面積を確保することができ、良好なコンタクトを得ることができる。

【0061】また、各配線溝の幅が異なる場合、レジストパターンを形成する工程が、各配線溝の内、他の配線溝より大きな幅を有する配線溝用のパターンは、大きな幅を有する配線溝内のパターンとともに絶縁膜壁用のパターンを形成するようにしたので、容易に形成することができ、さらに、マスクパターン製作時に自動配置が可能であり、格段に早く、しかも正確にもれなく実現することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1のシングルダマシン構造の半導体装置を示す図である。

【図2】 図1の半導体装置の製造方法を示す工程断面図である。

【図3】 図1の半導体装置の製造方法を示す工程断面図である。

【図4】 図1の半導体装置の製造方法を示す工程断面図である。

【図5】 この発明の実施の形態1の変形例を示す平面図である。

【図6】 この発明の実施の形態1の変形例を示す平面図である。

【図7】 この発明の実施の形態1の変形例を示す平

面図である。

【図8】 この発明の実施の形態1の変形例を示す平面図である。

【図9】 この発明の実施の形態1の変形例を示す平面図である。

【図10】 この発明の実施の形態1の変形例を示す平面図である。

【図11】 この発明のボンディングパッド部を示す図である。

【図12】 この発明のボンディングパッド部を示す図である。

【図13】 この発明のボンディングパッド部を示す図である。

【図14】 この発明のボンディングパッド部を示す図である。

【図15】 従来のシングルダマシン構造の半導体装置を示す図である。

【図16】 配線幅とCDシフト量との関係を示した図である。

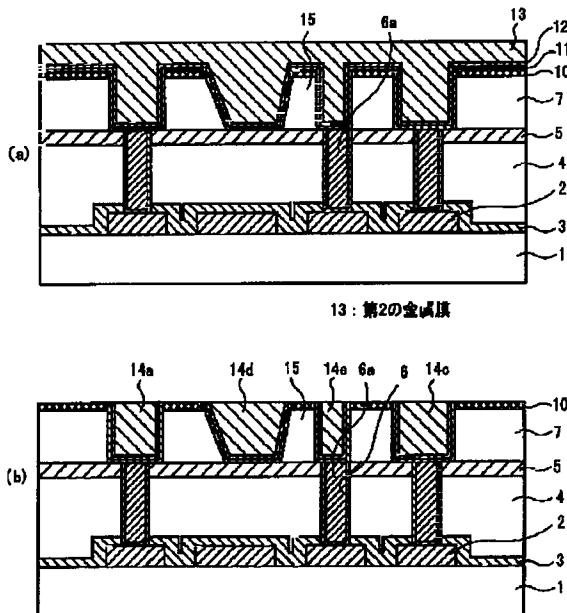
【図17】 従来の問題点を示す断面図である。

【図18】 従来の問題点を示す断面図である。

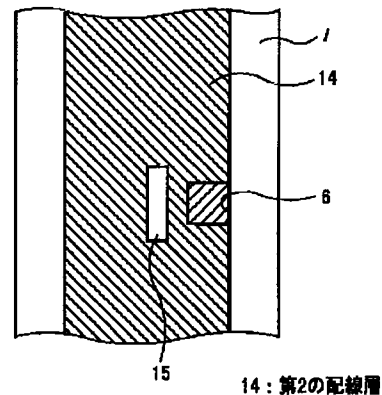
【符号の説明】

1 半導体基板、4 第1の層間絶縁膜、6 ホール、6a プラグ、7 第2の層間絶縁膜、8 レジストパターン、9a, 9c, 9d, 9e 配線溝、13 第1の金属膜、14, 14a, 14b, 14c, 14d, 14e 第2の配線層、15 絶縁膜壁、18 ボンディングパッド、17 第2の金属膜。

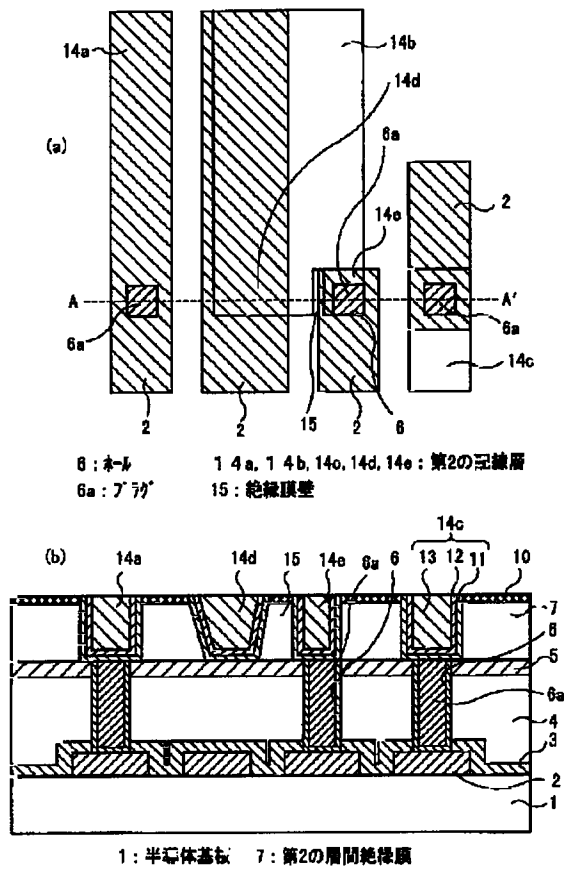
【図4】



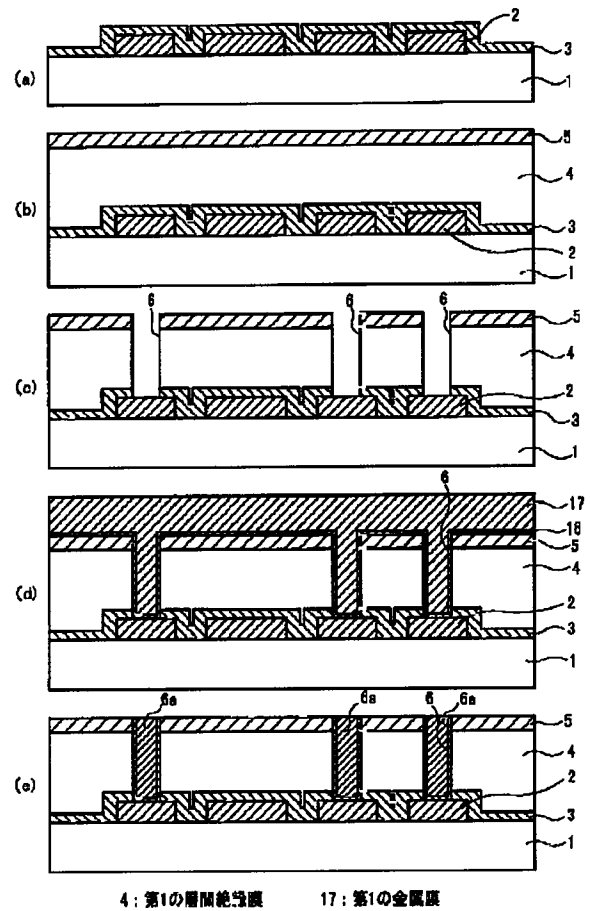
【図5】



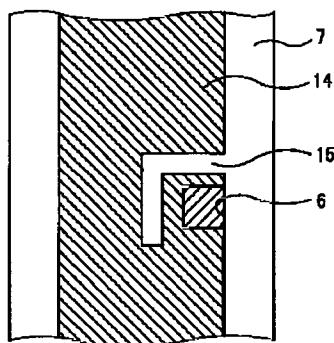
【図1】



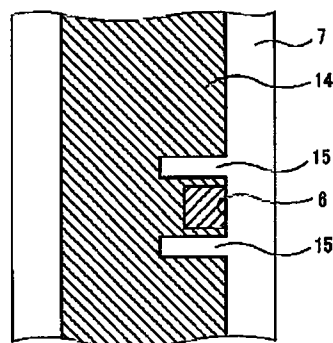
【図2】



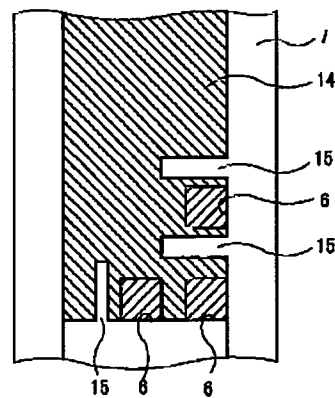
【図6】



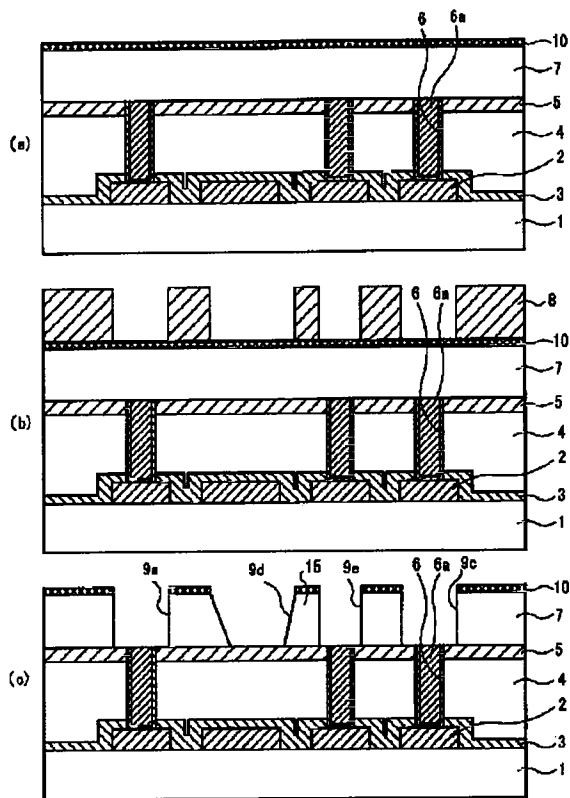
【図7】



【図8】

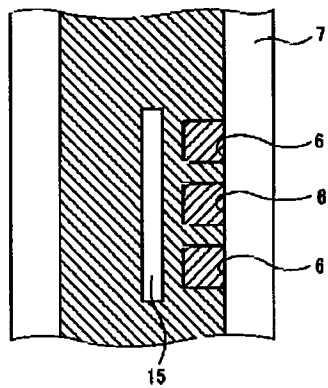


【図3】

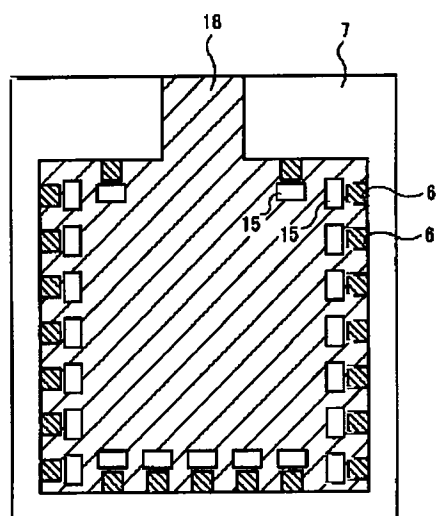


8:レジストパターン 9a, 9c, 9d, 9e:配線溝

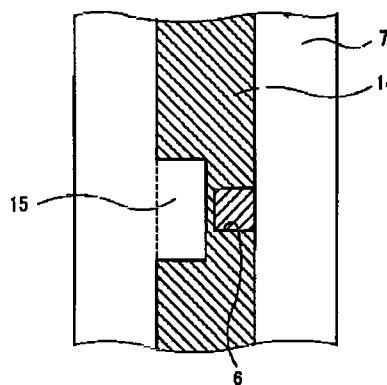
【図9】



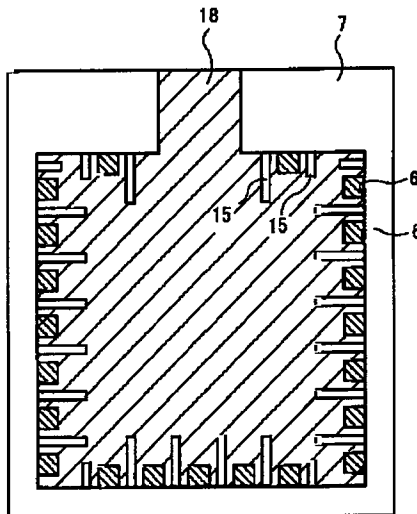
【図12】



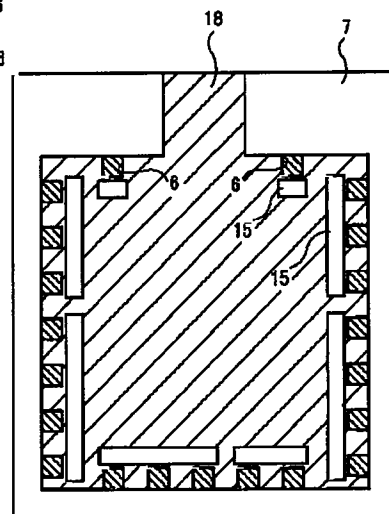
【図10】



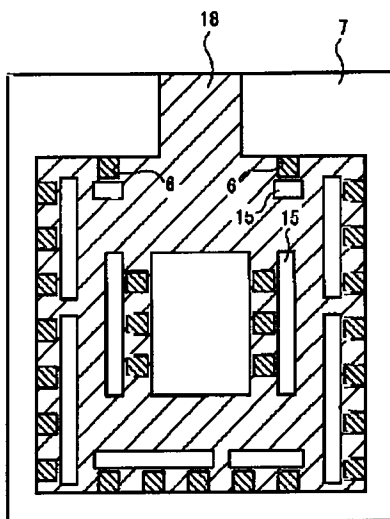
【図11】



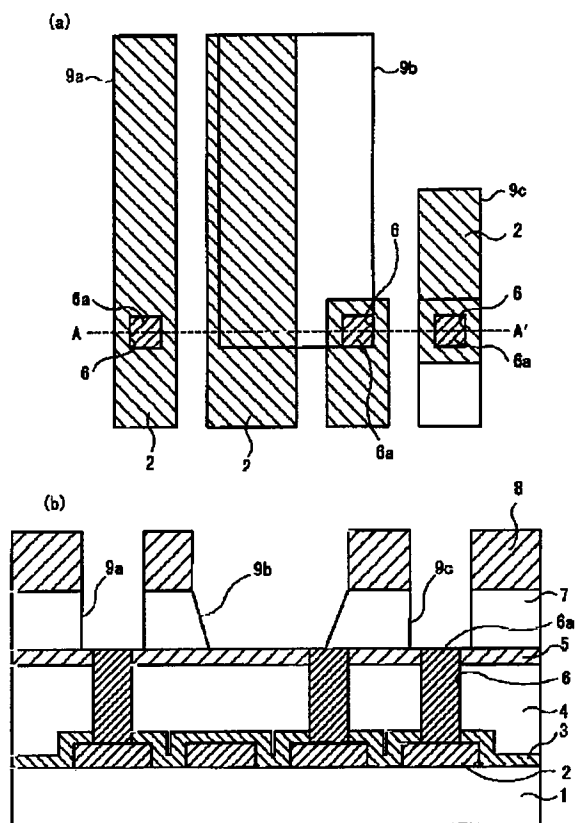
【図13】



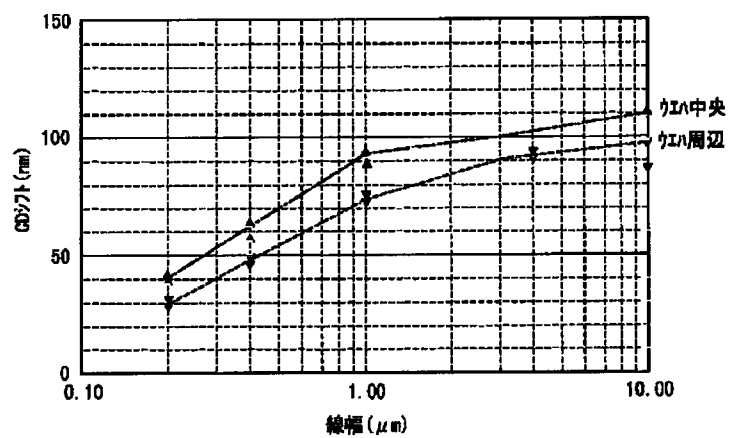
【図14】



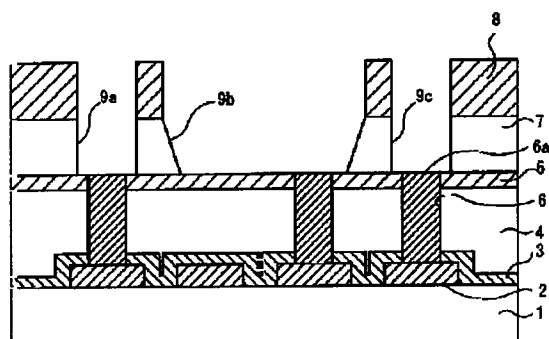
【図15】



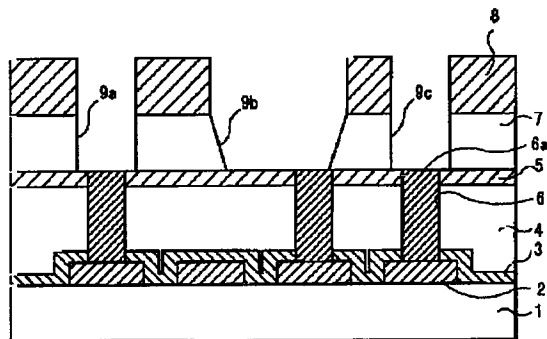
【図16】



【図17】



【図18】



フロントページの続き

Fターム(参考) 5F033 HH08 HH09 HH11 HH18 HH19
HH21 HH32 HH33 JJ19 JJ32
JJ33 JJ34 KK00 MM01 MM12
MM13 NN06 NN07 PP06 PP15
PP27 PP33 QQ04 QQ09 QQ13
QQ25 QQ31 QQ37 QQ48 QQ73
QQ75 QQ86 RR01 RR04 RR06
RR08 RR11 RR21 SS13 TT02
TT04 VV07 XX09
5F044 EE08 EE20 EE21